

Docket No.: 60188-636

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Takato HANDA, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: August 26, 2003 : Examiner:
For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

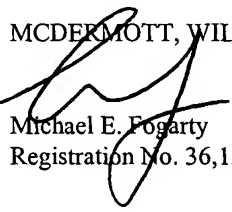
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. JP2002-294906, filed on October 8, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: August 26, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

60188-636
Takato HANDA, et al.
August 26, 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 8日

出 願 番 号

Application Number:

特願2002-294906

[ST.10/C]:

[JP 2002-294906]

出 願 人

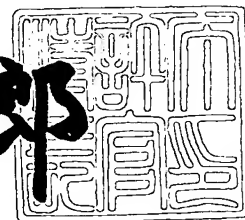
Applicant(s):

松下電器産業株式会社

2003年 5月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3033616

【書類名】 特許願
【整理番号】 2926430198
【提出日】 平成14年10月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/265
H01L 21/266

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株
式会社内

【氏名】 半田 崇登

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株
式会社内

【氏名】 海本 博之

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板における第 1 素子形成領域の上に、ゲート絶縁膜およびゲート電極を形成する工程（a）と、

上記工程（a）の後、上記半導体基板の上に、上記第 1 素子形成領域を開口するハードマスクを形成する工程（b）と、

上記半導体基板内に、上記ゲート電極および上記ハードマスクをイオン注入マスクとして、不純物を斜めイオン注入する工程（c）と、

上記工程（c）の後に、上記ハードマスクを除去する工程（d）とを備える半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

上記工程（b）では、上記工程（c）の上記斜めイオン注入において上記ゲート電極の下方にまで上記不純物が到達するように、上記ハードマスクの厚みおよび開口幅を規定することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 に記載の半導体装置の製造方法において、

上記半導体基板において、上記第 1 素子形成領域の側方には素子分離用絶縁膜を挟んで第 2 素子形成領域が位置しており、

上記工程（b）では、上記第 2 素子形成領域を覆うように上記ハードマスクを形成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記ハードマスクは、BPSG、PSGあるいはシリコン窒化膜のうちのいずれかであることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記工程（b）の後で上記工程（c）の前に、上記ハードマスクの上端部を丸めることにより、上記ハードマスクをテーパー状にする工程（e）をさらに含むことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法において、
上記工程（e）では、等方性イオンエッチングを行なうことにより、上記ハードマスクを上記テーパー状にすることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 5 に記載の半導体装置の製造方法において、
上記工程（e）では、熱処理を行なうことにより、上記ハードマスクを上記テーパー状にすることを特徴とする半導体装置の製造方法。

【請求項 8】 半導体基板の第 1 素子形成領域の上に、ゲート絶縁膜およびゲート電極を形成する工程（a）と、

上記半導体基板の上に、レジスト層を形成する工程（b）と、

上記レジスト層のうち上記第 1 素子形成領域の上に位置する部分を除く部分の少なくとも一部をシリル化することによりシリル化領域を形成する工程（c）と

上記レジスト層のうち上記シリル化領域を除く領域の少なくとも一部を除去することにより、シリル化レジストパターンを形成する工程（d）と、

上記シリル化レジストパターンをイオン注入マスクとして、上記半導体基板に不純物の斜めイオン注入を行なう工程（e）と
を備えることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、
上記工程（d）の後で上記工程（e）の前に、上記シリル化領域を酸化する工程をさらに含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、斜め方向から半導体層にイオン注入する工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来から、半導体層内に不純物拡散層を形成する方法として、半導体層の上面に対する鉛直方向から 40 度程度傾いた方向でイオンを注入する方法（以下では

斜めイオン注入法とよぶ) が知られている。斜めイオン注入法は、例えば、LDD構造 (Lightly Doped Drain Structure) を有するトランジスタの製造工程において用いられる。この製造工程においては、ゲート電極を形成した後の半導体層に斜めイオン注入を行なうことにより、半導体層のうちゲート電極の下に位置する領域にまでn-層を浅く形成することができる(例えば特許文献1参照)。

【0003】

以下に、従来の斜めイオン注入法について図9を参照しながら説明する。図9は、従来の半導体装置の製造工程のうち斜めイオン注入を行なう工程を示す断面図である。

【0004】

図9に示す半導体装置では、シリコン基板101の上部に、p型領域102と、p型領域102の側方に位置するn型領域103と、p型領域102とn型領域103との間に設けられた素子分離用絶縁膜104とが設けられている。そして、n型領域103の上は厚さ1.0 μ mのホトレジスト層114によって覆われており、p型領域102の上は、ゲート絶縁膜105とゲート電極106とが形成された状態で露出している。

【0005】

この状態で、ゲート電極106およびホトレジスト層114をマスクとしてp型領域102にn型不純物をイオン注入することにより、LDD構造のn⁻層115を形成する。イオン注入はシリコン基板101を回転させながら行なう。このとき、斜め方向にイオン注入を行なうことにより、p型領域102のうちゲート電極106の端部の下に位置する領域に、n-層115がゲート電極106とオーバーラップするように形成される。

【0006】

【特許文献1】

特開平6-295875号公報 (第3-5頁、図1)

【0007】

【発明が解決しようとする課題】

しかしながら、半導体装置の微細化が進むにつれてゲート電極 1 0 6 とホトレジスト層 1 1 4 との間の距離が近づいてきており、以下のような不具合が生じてきている。

【 0 0 0 8 】

図 9 に示す工程では、イオン注入の方向は、シリコン基板 1 0 1 の上面に対して垂直な方向（鉛直方向）から角度 θ だけ傾いた方向である。このときに、n 型領域 1 0 3 の上に厚いホトレジスト層 1 1 4 が設けられていると、斜め方向から放射されたイオンの一部がホトレジスト層 1 1 4 によって遮られてしまう。すると、 n^- 層 1 1 5 を形成するための領域の一部にも、不純物を打ち込むことができなくなる。

【 0 0 0 9 】

特に、イオン注入角度の傾きが、基板に対して鉛直方向に大きくなると、p 型領域 1 0 2 のうちゲート電極 1 0 6 の下に位置する部分にイオンを注入しにくくなってしまう。そのため、ゲート電極 1 0 6 と n^- 層 1 1 5 とのオーバーラップが形成されにくくなる。

【 0 0 1 0 】

ところが、 n^- 層 1 1 5 を形成するための領域に不純物を打ち込むために、ホトレジスト層 1 1 4 の厚さを薄くすると、不純物がホトレジスト層 1 1 4 を突き抜けて n 型領域 1 0 3 等に到達するおそれが生じてしまう。

【 0 0 1 1 】

本発明は、上述のような不具合を解決する手段を講ずることにより、さらなる微細化が可能な半導体装置の製造方法を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

本発明の第 1 の半導体装置の製造方法は、半導体基板における第 1 素子形成領域の上に、ゲート絶縁膜およびゲート電極を形成する工程（a）と、上記工程（a）の後、上記半導体基板の上に、上記第 1 素子形成領域を開口するハードマスクを形成する工程（b）と、上記半導体基板内に、上記ゲート電極および上記ハードマスクをイオン注入マスクとして、不純物を斜めイオン注入する工程（c）

と、上記工程（c）の後に、上記ハードマスクを除去する工程（d）とを備えている。

【 0 0 1 3 】

これにより、不純物阻止能力の高いハードマスクをイオン注入マスクとして用いるので、イオン注入マスクの膜厚を薄くすることができる。これにより、イオン注入の方向をより水平方向に近づけることができるので、より浅い接合深さでより広い領域にイオン注入を行なうことができる。

【 0 0 1 4 】

上記工程（b）では、上記工程（c）の上記斜めイオン注入において上記ゲート電極の下方にまで上記不純物が到達するように、上記ハードマスクの厚みおよび開口幅を規定することが好ましい。

【 0 0 1 5 】

上記半導体基板において、上記第 1 素子形成領域の側方には素子分離用絶縁膜を挟んで第 2 素子形成領域が位置しており、上記工程（b）では、上記第 2 素子形成領域を覆うように上記ハードマスクを形成してもよい。

【 0 0 1 6 】

上記ハードマスクは、BPSG、PSGあるいはシリコン窒化膜のうちのいずれかであることが好ましい。

【 0 0 1 7 】

上記工程（b）の後に上記工程（c）の前に、上記ハードマスクの上端部を丸めることにより、上記ハードマスクをテーパ状にする工程（e）をさらに含むことにより、さらに広い領域にイオン注入を行なうことができる。

【 0 0 1 8 】

上記工程（e）では、等方性イオンエッチングを行なうことにより、上記ハードマスクを上記テーパ状にしてもよい。

【 0 0 1 9 】

上記工程（e）では、熱処理を行なうことにより、上記ハードマスクを上記テーパ状にしてもよい。

【 0 0 2 0 】

本発明の第2の半導体装置の製造方法は、半導体基板の第1素子形成領域の上に、ゲート絶縁膜およびゲート電極を形成する工程(a)と、上記半導体基板の上に、レジスト層を形成する工程(b)と、上記レジスト層のうち上記第1素子形成領域の上に位置する部分を除く部分の少なくとも一部をシリル化することによりシリル化領域を形成する工程(c)と、上記レジスト層のうち上記シリル化領域を除く領域の少なくとも一部を除去することにより、シリル化レジストパターンを形成する工程(d)と、上記シリル化レジストパターンをイオン注入マスクとして、上記半導体基板に不純物の斜めイオン注入を行なう工程(e)とを備える。

【0021】

これにより、不純物阻止能力の高いシリル化領域をイオン注入マスクとして用いるので、イオン注入マスクの膜厚を薄くすることができる。これにより、イオン注入の方向をより水平方向に近づけることができるので、より浅い接合深さでより広い領域にイオン注入を行なうことができる。

【0022】

上記工程(d)の後で上記工程(e)の前に、上記シリル化領域を酸化する工程をさらに含むことにより、シリル化層の不純物阻止能力がさらに向上するので、イオン注入マスクの膜圧をより薄くすることができる。

【0023】

【発明の実施の形態】

(第1の実施形態)

本実施形態では、イオン注入マスクとして、レジスト層ではなくBP SG膜を用いる場合について説明する。

【0024】

図1(a)～(f)は、第1の実施形態の半導体装置の製造工程のうち、LD構造の n^- 層を形成する工程までを示す断面図である。

【0025】

まず、図1(a)に示す工程で、シリコン基板1の上部に、幅 $0.5\mu\text{m}$ のp型領域2と、p型領域2の側方に位置するn型領域3と、p型領域2とn型領域

3.との間に介在する素子分離用絶縁膜4とを形成する。

【0.026】

その後、熱酸化法により、シリコン基板1のp型領域2の上に厚さ5nmのゲート絶縁膜5を形成する。そして、CVD法により、ゲート絶縁膜5の上にポリシリコン膜（図示せず）を形成し、スピコート法により、ポリシリコン膜の上にレジスト膜（図示せず）を形成する。続いて、レジストマスクの位置合わせをして、露光、現像を行なうことにより、レジストパターンを形成する。

【0027】

次に、レジストパターンをマスクとしてポリシリコン膜のRIE（反応性イオンエッチング）を行なうことにより、ゲート長0.15 μ mで厚さ0.2 μ mのゲート電極6を形成する。その後、レジストパターンを除去する。

【0028】

次に、図1（b）に示す工程で、CVD法などにより、基板の上にゲート電極6を覆う厚さ0.6 μ mのBPSG（Boron-Phospho Silicate Glass）膜11aを形成する。そして、BPSG膜11aをCMPにより研磨した後に、スピコート法により、BPSG膜11aの上にレジスト膜12aを形成する。

【0029】

次に、図1（c）に示す工程で、レジスト膜12aの位置合わせをして、露光、現像を行なうことにより、BPSG膜11aの上にレジストパターン12を形成する。レジストパターン12は、p型領域2の上方に開口を有しており、n型領域3の上方から素子分離用絶縁膜4の上方までの領域を覆っている。

【0030】

次に、図1（d）に示す工程で、レジストパターン12をマスクとしてRIE（反応性イオンエッチング）を行なうことにより、BPSG膜11aをパターニングして、p型領域2の上に開口を有する注入ハードマスク11を形成する。

【0031】

次に、図1（e）に示す工程で、レジストパターン12を除去して注入ハードマスク11の上面を露出させる。

【 0 0 3 2 】

次に、図 1 (f) に示す工程で、注入ハードマスク 1 1 をマスクとして、N 型不純物の斜めイオン注入を 2 0 ～ 6 0 度の注入角度で行なうことにより、深さ 0 . 1 μ m で濃度 $1 \times 1 0^{18} / \text{cm}^3$ の n^- 層 1 3 を形成する。斜めイオン注入は、シリコン基板 1 を傾けた状態で回転させながら行なう。その後、周知の方法により、 n^- 層 1 3 よりも高い不純物濃度を有する n^+ 層 (図示せず) を形成して、LDD 構造を有するトランジスタを形成する。その後、選択的なエッチングを行なうことにより注入ハードマスク 1 1 を除去する。

【 0 0 3 3 】

ここで、本実施形態で得られる効果について図 2 を参照しながら説明する。図 2 は、 n^- 層 1 3 を形成するときのイオン注入の工程を従来と比較して説明するための断面図である。

【 0 0 3 4 】

図 2 に示すように、従来のホトレジスト層 1 1 4 と比較して、本実施形態の注入ハードマスク 1 1 では厚さを薄くすることができ、アスペクト比を小さくすることができる。それは、従来のホトレジスト層 1 1 4 と比較して、本実施形態の注入ハードマスク 1 1 の不純物の阻止能力が高いからである。

【 0 0 3 5 】

これにより、本実施形態のイオン注入の方向を従来のイオン注入の方向よりも $\Delta \theta 1$ だけ水平方向に近づけることができる。そのため、本実施形態では、より浅い接合深さでより広い領域にイオン注入を行なうことができる。また、p 型領域 2 のうちゲート電極 6 の下に位置する部分に、より高い精度で不純物を注入することができる。

【 0 0 3 6 】

(第 2 の実施形態)

本実施形態では、イオン注入マスクとして、エッチングにより丸められた角部を有する BPSG 膜を用いる場合について説明する。

【 0 0 3 7 】

図 3 (a) ～ (c) は、第 2 の実施形態の半導体装置の製造工程のうち、LD

D構造の n^- 層を形成する工程までを示す断面図である。

【0038】

まず、図3(a)に示す工程で、第1の実施形態と同様の方法で、シリコン基板1の上部に幅 $0.5\mu\text{m}$ のp型領域2、n型領域3および素子分離用絶縁膜4を形成する。そして、p型領域2の上に、厚さ 5nm のゲート絶縁膜5と、ゲート長 $0.15\mu\text{m}$ で厚さ $0.2\mu\text{m}$ のゲート電極6とを形成する。その後、シリコン基板1のうちp型領域2上を開口し、n型領域3の上から素子分離用絶縁膜4の上に亘る領域を覆うハードマスク21aを形成する。ここで、ハードマスク21aとして、第1の実施形態と同様のBPSGパターンを用いる。

【0039】

次に、図3(b)に示す工程で、アルゴンガスを用いた等方性のスパッタエッチングを行なう。このエッチングはハードマスク21aの上面および側面において等方的に進行する。ここで、ハードマスク21aの角部では、鉛直方向および水平方向にエッチングされるので他の領域よりもエッチングレートが大きくなる。そのため、ハードマスク21aは、等方性エッチングによって角部が丸まって、テーパー形状を有する厚さ $0.6\mu\text{m}$ の注入ハードマスク21となる。

【0040】

次に、図3(c)に示す工程で、注入ハードマスク21をマスクとしてN型不純物の斜めイオン注入を行なうことにより、深さ $0.1\mu\text{m}$ で不純物濃度 $1 \times 10^{18}/\text{cm}^3$ の n^- 層13を形成する。斜めイオン注入は、シリコン基板1を傾けた状態で回転させながら行なう。その後、周知の方法により、 n^- 層13よりも高い不純物濃度を有する n^+ 層(図示せず)を形成し、選択的なエッチングを行なうことにより注入ハードマスク21を除去する。以上の工程により、LDD構造を有するトランジスタを形成する。

【0041】

ここで、本実施形態で得られる効果について、図4を参照しながら説明する。図4は、 n^- 層13を形成するときのイオン注入の工程を第1の実施形態と比較して説明するための断面図である。

【0042】

本実施形態では、第1の実施形態の場合と同様のBPSGパターンを注入ハードマスク21として形成している。そのため、第1の実施形態の場合と同様に、注入マスクの膜厚を従来よりも薄くすることができ、アスペクト比を小さくすることができる。

【0043】

さらに、図4に示すように、注入ハードマスク21の角部は等方的にエッチングされて丸まっているため、第1の実施形態と比較して $\Delta\theta 2$ だけイオン注入角度を水平方向に近づけることができるので、さらに広い領域にイオン注入を行なうことができる。

【0044】

(第3の実施形態)

本実施形態では、イオン注入マスクとして、熱処理によって丸められた角部を有するBPSG膜を用いる場合について説明する。

【0045】

図5(a)～(c)は、第3の実施形態の半導体装置の製造工程のうち、LDD構造の n^- 層を形成する工程までを示す断面図である。

【0046】

まず、図5(a)に示す工程で、第1の実施形態と同様の方法で、シリコン基板1の上部に幅 $0.5\mu\text{m}$ のp型領域2、n型領域3および素子分離用絶縁膜4を形成する。そして、p型領域2の上に、厚さ 5nm のゲート絶縁膜5と、ゲート長 $0.15\mu\text{m}$ で厚さ $0.2\mu\text{m}$ のゲート電極6とを形成する。次に、シリコン基板1のうち、p型領域2の上を開口し、n型領域3の上から素子分離用絶縁膜4の上に亘る領域を覆うハードマスク31aを形成する。ここで、ハードマスク31aは、第1の実施形態と同様のBPSGパターンであり、下地に厚さ 20nm 程度のシリコン酸化膜(図示せず)を有する。

【0047】

次に、図5(b)に示す工程で、 800°C 程度の高温で熱処理を行なうことによりハードマスク31aをテーパ形状に変形させて、注入ハードマスク31を形成する。

【0048】

次に、図5(c)に示す工程で、注入ハードマスク31をマスクとして、N型不純物の斜めイオン注入を20～60度の注入角度で行なうことにより、深さ0.1 μ mで不純物濃度 $1 \times 10^{18} / \text{cm}^3$ の n^- 層13を形成する。斜めイオン注入は、シリコン基板1を傾けた状態で回転させながら行なう。その後、周知の方法により、 n^- 層13よりも高い不純物濃度を有する n^+ 層(図示せず)を形成し、選択的なエッチングを行なうことにより注入ハードマスク31を除去する。以上の工程により、LDD構造を有するトランジスタを形成する。

【0049】

ここで、本実施形態で得られる効果について、図6を参照しながら説明する。図6は、 n^- 層13を形成するときのイオン注入の工程を第1の実施形態と比較して説明するための断面図である。

【0050】

本実施形態では、第1の実施形態の場合と同様のBPSGパターンを注入ハードマスク31として形成している。そのため、第1の実施形態の場合と同様に、注入マスクの膜厚を従来よりも薄くすることができ、アスペクト比を小さくすることができる。

【0051】

さらに、図6に示すように、注入ハードマスク31の角部は熱処理により丸まっているため、第1の実施形態と比較して $\Delta\theta 3$ だけイオン注入角度を水平方向に近づけることができるので、さらに広い領域にイオン注入を行なうことができる。

【0052】

(第4の実施形態)

本実施形態では、イオン注入マスクとして、上部がシリル化されたレジスト層を用いる場合について説明する。

【0053】

図7(a)～(f)は、第4の実施形態の半導体装置の製造工程のうち、LDD構造の n^- 層を形成する工程までを示す断面図である。

【 0 0 5 4 】

まず、図 7 (a) に示す工程で、シリコン基板 4 1 の上部に、幅 $0.5 \mu\text{m}$ の p 型領域 4 2 と、p 型領域 4 2 の側方に位置する n 型領域 4 3 と、p 型領域 4 2 と n 型領域 4 3 との間に介在する素子分離用絶縁膜 4 4 とを形成する。そして、p 型領域 4 2 の上に、厚さ 5 nm のゲート絶縁膜 4 5 と、ゲート長 $0.15 \mu\text{m}$ で厚さ $0.2 \mu\text{m}$ のゲート電極 4 6 とを形成する。

【 0 0 5 5 】

次に、図 7 (b) に示す工程で、基板上にゲート電極 4 6 を覆う厚さ $0.6 \mu\text{m}$ のレジスト層 4 7 を塗布する。

【 0 0 5 6 】

次に、図 7 (c) に示す工程で、p 型領域 4 2 の上方をホトマスク 4 8 で遮った状態で、紫外線等の露光用光線 4 9 を露光する。これにより、レジスト層 4 7 のうち n 型領域 4 3 の上から素子分離用絶縁膜 4 4 の上に位置する領域に潜像 5 0 が形成される。

【 0 0 5 7 】

次に、図 7 (d) に示す工程で、基板にシリル化剤を接触させる。これにより、レジスト層 4 7 のうちの露光領域 5 2 (潜像 5 0) の上部に、厚さ $0.1 \mu\text{m}$ のシリル化層 5 1 を形成する。

【 0 0 5 8 】

ここで、露光領域 5 2 において選択的にシリル化が進行する理由について考察する。レジスト層 4 7 に露光用光線 4 9 を露光すると、露光領域 5 2 では多孔質化が進行しやすいのに対し、非露光領域 5 3 では多孔質化が進行しにくいと考えられている。そのため、露光領域 5 2 はシリル化剤が拡散しやすい状態にあり、非露光領域 5 3 はシリル化剤が拡散しにくい状態にあるといえる。この状態で基板にシリル化剤を接触させると、レジスト層 4 7 のうち露光領域 5 2 の上において選択的にシリル化が進行することになると考えられているのである。

【 0 0 5 9 】

その後、 90 度程度の熱処理を行なうことにより、シリル化層 5 1 に含まれるシリコンを酸化させる。この酸化により、シリル化層 5 1 のエッチング耐性が向

上する。

【0060】

次に、図7(e)に示す工程で、酸素プラズマによる反応性イオンエッチング等により、レジスト層47のうちの非露光領域53を選択的に除去する。これにより、シリコン基板41のうちn型領域43の上に、シリル化層51と潜像50が形成されたレジスト層とからなるシリル化レジストパターン54が形成される。このとき、シリコン基板41のうちp型領域42の上が露出させる。

【0061】

次に、図7(f)に示す工程で、シリル化レジストパターン54をマスクとしてN型不純物の斜めイオン注入を行なうことにより、深さ0.1 μ mの n^- 層55を形成する。斜めイオン注入は、シリコン基板41を傾けた状態で回転させながらn型不純物を注入することにより行なう。その後、周知の方法により、 n^- 層55よりも高い不純物濃度を有する n^+ 層(図示せず)を形成して、LDD構造を有するトランジスタを形成する。

【0062】

ここで、本実施形態で得られる効果について図8を参照しながら説明する。図8は、 n^- 層55を形成するときのイオン注入の工程を従来と比較して説明するための断面図である。

【0063】

図8に示すように、従来のホトレジスト層114と比較して、本実施形態のシリル化レジストパターン54では厚さを薄くすることができ、アスペクト比を小さくすることができる。それは、従来のホトレジスト層114と比較して、本実施形態のシリル化レジストパターン54の不純物の阻止能力が高いからである。

【0064】

これにより、本実施形態のイオン注入の方向を従来のイオン注入の方向よりも $\Delta\theta$ 4だけ水平方向に近づけることができる。そのため、本実施形態では、より浅い接合深さでより広い領域にイオン注入を行なうことができる。また、p型領域42のうちゲート電極46の下に位置する部分に、より高い精度で不純物を注入することができる。

【0065】

なお、本実施形態ではネガ型のレジストを用いたが、本発明ではポジ型のレジストを用いてもよい。その場合には、非露光領域が選択的にシリル化される。

【0066】

(その他の実施形態)

上記実施形態では、本発明をLDD構造の n^+ 層を形成する際に適用すると述べた。しかし、本発明は、LDD注入の他にも、ウェル注入、ポケット注入、あるいは非対称デバイスの製造過程におけるイオン注入などにも適用することができ、同様の効果を期待することができる。

【0067】

また、第1～第3の実施形態では、注入ハードマスクとしてBP SG膜を用いたが、本発明においては、注入ハードマスクとして第4の実施形態のシリル化レジスト層を用いてもよい。その場合には、シリル化レジスト層の角部は、酸素を用いたプラズマエッチングにより丸めることができる。

【0068】

また、第1～第3の実施形態では、注入ハードマスクとしてBP SG膜を用いたが、本発明においては、注入ハードマスクとしてP SG膜あるいは窒化膜を用いてもよい。

【0069】

また、上記実施形態ではシリコン基板を用いて説明を行ったが、本発明はS O I 基板にも適用することができる。

【0070】

【発明の効果】

本発明では、従来のホトレジストと比較してイオン注入射影飛程が短いBP SG膜およびシリル化レジスト層をイオン注入マスクとして用いることにより、従来よりもイオン注入マスクの厚さを薄くすることができる。そのため、従来よりもイオン注入の方向を水平方向に近づけることができ、より浅い接合深さで、より広い領域にイオン注入を行なうことができる。

【0071】

さらに、これらのイオン注入マスクの角部を丸めることができるので、不純物がイオン注入マスクによって遮られる領域を狭くすることができる。その結果、半導体装置の微細化を図ることができる。

【図面の簡単な説明】

【図 1】

(a) ～ (f) は、第 1 の実施形態の半導体装置の製造工程のうち、LDD構造の n^- 層を形成する工程までを示す断面図である。

【図 2】

第 1 の実施形態において、 n^- 層 13 を形成するときのイオン注入の工程を従来と比較して説明するための断面図である。

【図 3】

(a) ～ (c) は、第 2 の実施形態の半導体装置の製造工程のうち、LDD構造の n^- 層を形成する工程までを示す断面図である。

【図 4】

第 2 の実施形態において、 n^- 層 13 を形成するときのイオン注入の工程を第 1 の実施形態と比較して説明するための断面図である。

【図 5】

(a) ～ (c) は、第 3 の実施形態の半導体装置の製造工程のうち、LDD構造の n^- 層を形成する工程までを示す断面図である。

【図 6】

第 3 の実施形態において、 n^- 層 13 を形成するときのイオン注入の工程を第 1 の実施形態と比較して説明するための断面図である。

【図 7】

(a) ～ (f) は、第 4 の実施形態の半導体装置の製造工程のうち、LDD構造の n^- 層を形成する工程までを示す断面図である。

【図 8】

n^- 層 55 を形成するときのイオン注入の工程を従来と比較して説明するための断面図である。

【図 9】

従来の半導体装置の製造工程のうち斜めイオン注入を行なう工程を示す断面図である。

【符号の説明】

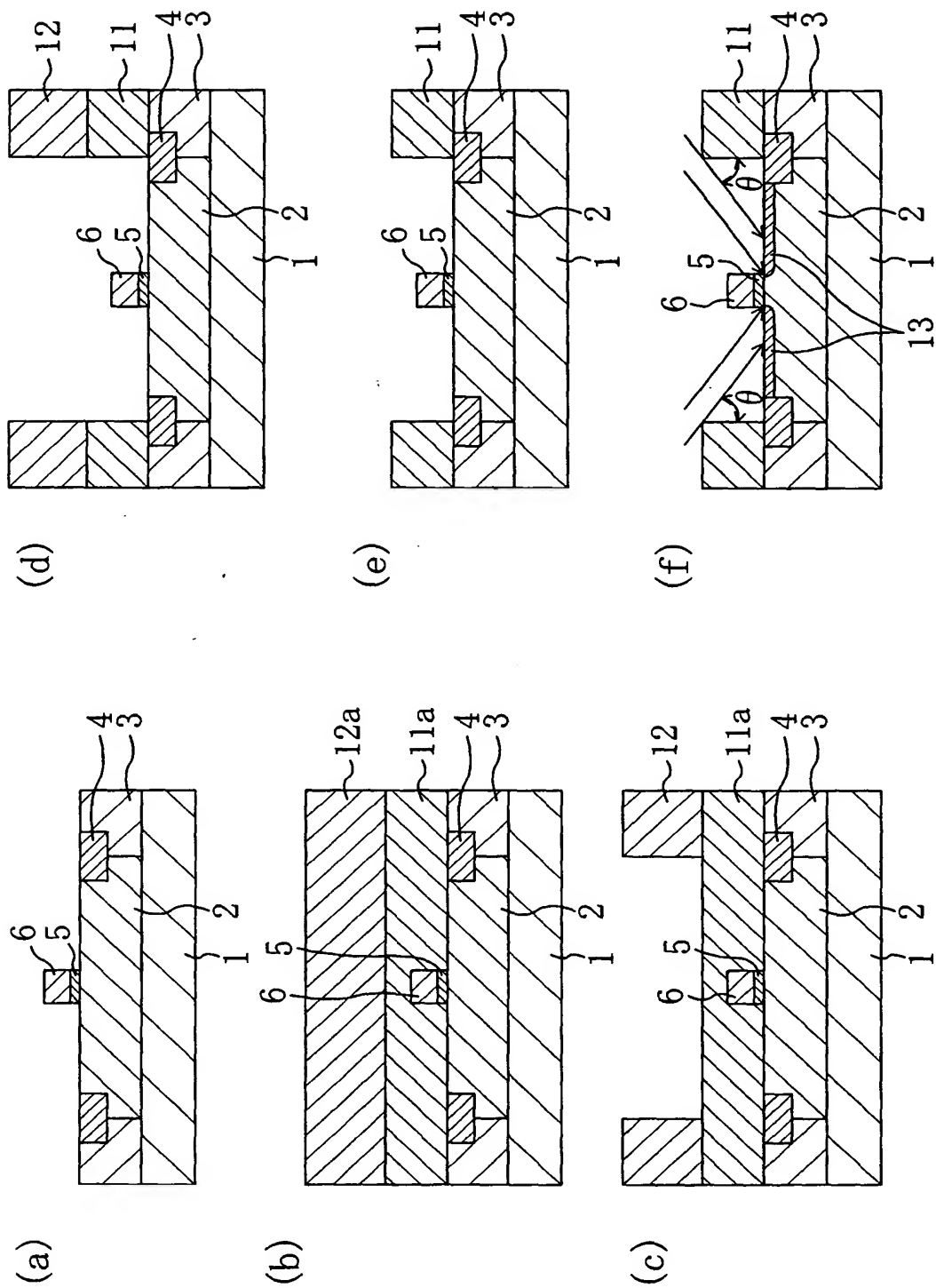
- 1 シリコン基板
- 2 p型領域
- 3 n型領域
- 4 素子分離用絶縁膜
- 5 ゲート酸化膜
- 6 ゲート電極
- 1 1 a B P S G 膜
- 1 1 B P S G パターン
- 1 2 a レジスト膜
- 1 2 レジストパターン
- 1 3 n⁻ 層
- 2 1 a ハードマスク
- 2 1 注入ハードマスク
- 3 1 a ハードマスク
- 3 1 注入ハードマスク
- 4 1 シリコン基板
- 4 2 p型領域
- 4 3 n型領域
- 4 4 素子分離用絶縁膜
- 4 5 ゲート絶縁膜
- 4 6 ゲート電極
- 4 7 レジスト層
- 4 8 ホトマスク
- 4 9 露光用光線
- 5 0 潜像
- 5 1 シリル化層

- 5 2 露光領域
- 5 3 非露光領域
- 5 4 シリル化レジストパターン
- 5 5 n^- 層

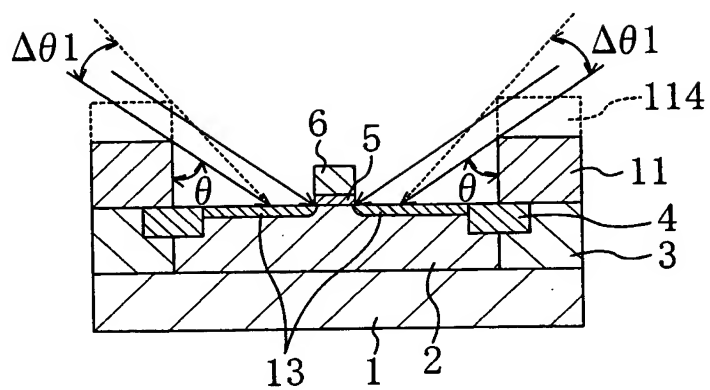
【書類名】

図面

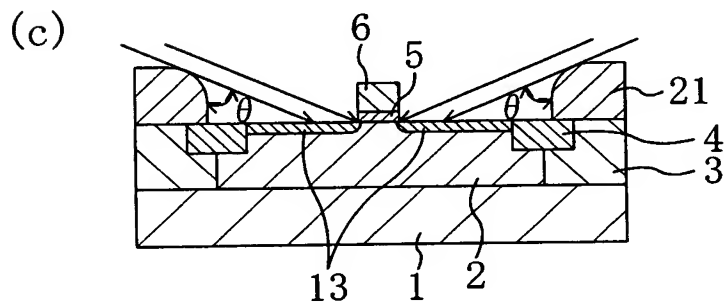
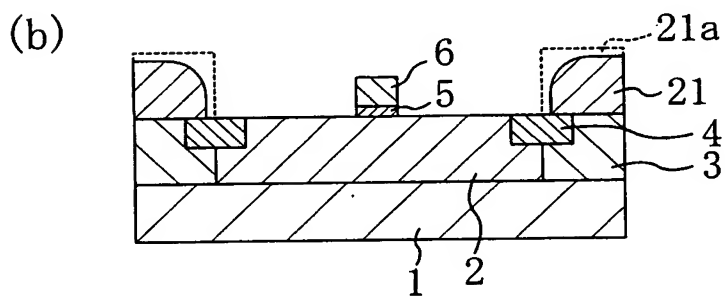
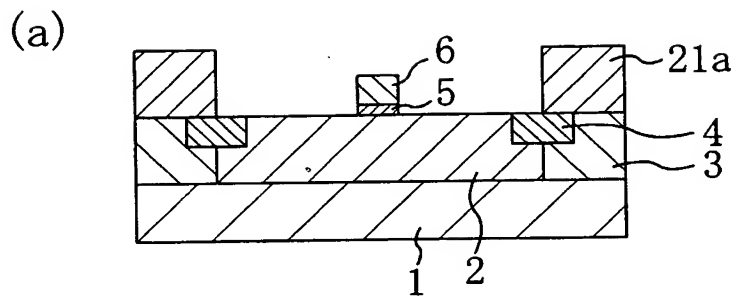
【図1】



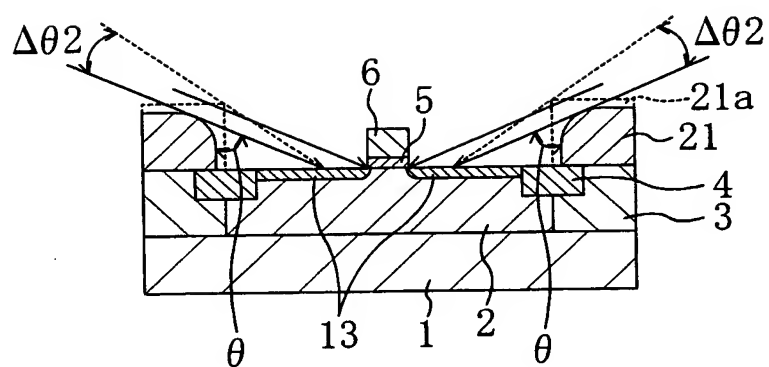
【図 2】



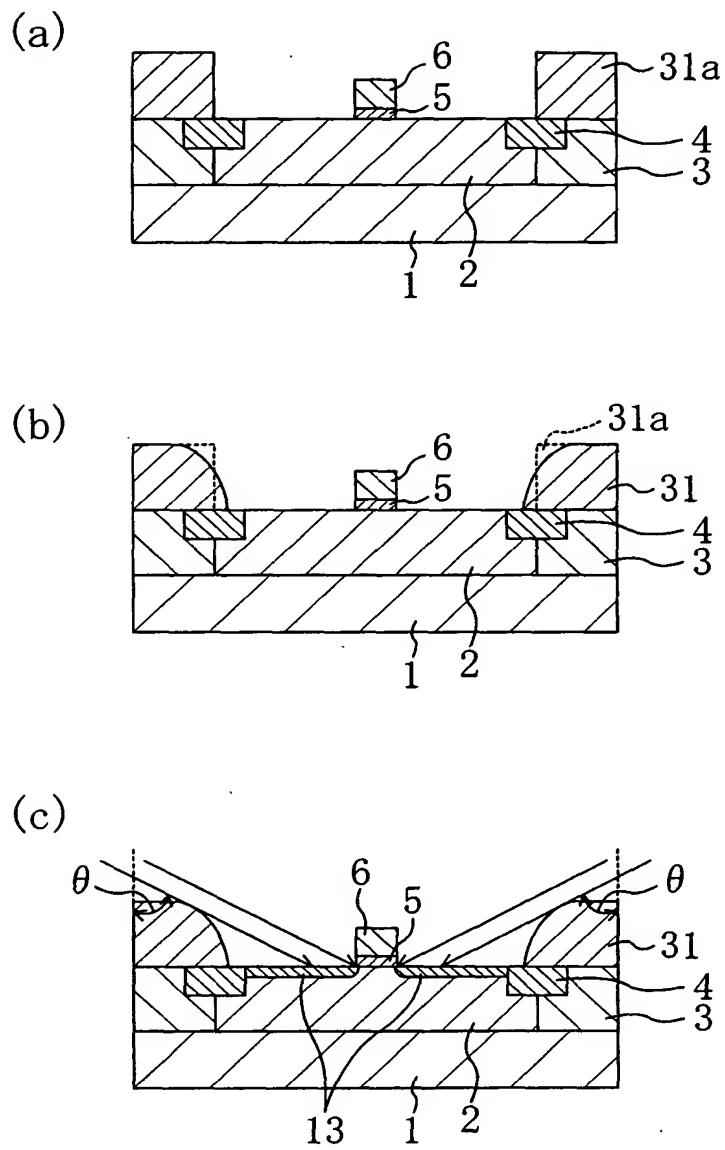
【図3】



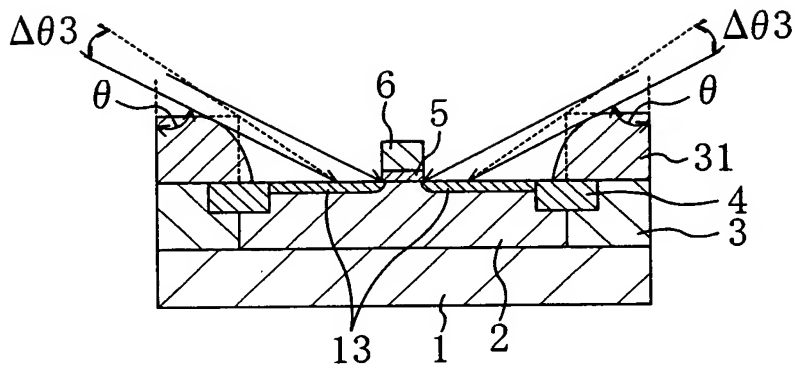
【図4】



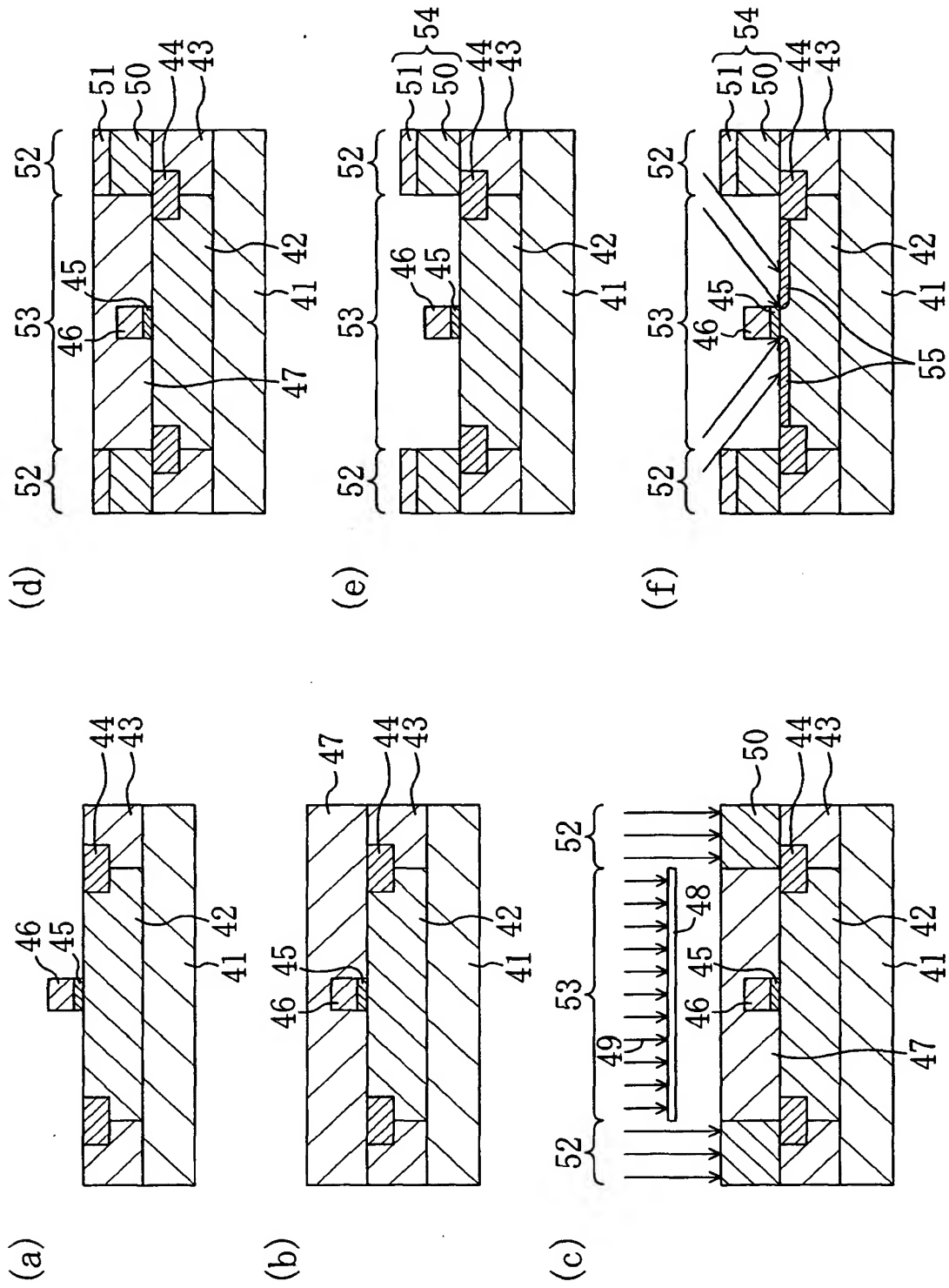
【図 5】



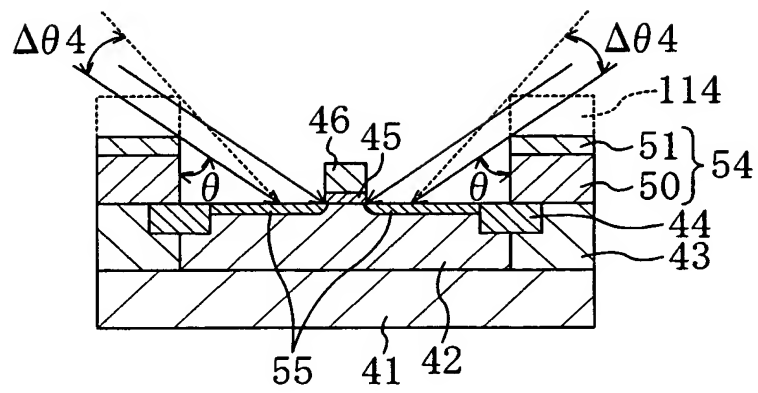
【図 6】



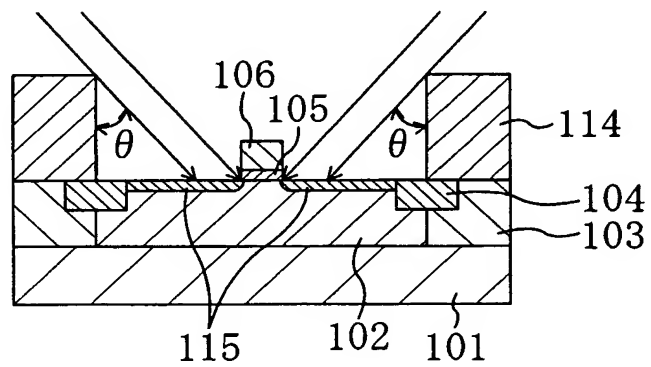
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 より微細化の可能な半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 1 のうちで p 型領域 2 を露出させる開口部を有し、B P S G 膜等からなるハードマスク 2 1 a を形成する。そして、アルゴンガスを用いた等方性スパッタエッチングを行なうことによりハードマスク 2 1 a の角部を丸めて、テーパ形状を有する注入ハードマスク 2 1 を形成する。注入ハードマスク 2 1 をマスクとして N 型不純物の斜めイオン注入を行なうことにより、L D D 構造の n^- 層 1 3 を形成する。その後、注入ハードマスク 1 1 を除去する。これにより、従来よりも膜厚の薄い注入マスクを用いて斜めイオン注入を行なうことができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社